

Geschrieben von:

Freitag, den 14. September 2007 um 22:24 Uhr

---



Advanced Micro Devices Inc. möchte Entwickler schon jetzt dazu bewegen darüber nachzudenken wie sie ihre Anwendungen mit den neuen Instruktionen, die in den AMD-Prozessoren ab 2009 auftauchen werden, beschleunigen können. Die von AMD geplanten Erweiterungen könnten die Art und Weise, wie Entwickler ihre iterativen Berechnungen bei Schatteneffekten, Bildsynthesen oder räumlichen Audioeffekten programmieren, erheblich verändern.

Zukünftige x86 Prozessoren basierend auf AMD's 64-Bit Bulldozer Kern werden den erweiterten Instruktionssatz, welcher im Unternehmen SSE5 genannt wird, unterstützen. AMD veröffentlichte eine Erklärung über die [Spezifikationen zum SSE5](#) am Donnerstag vor einer Woche.

Jede der neuen Instruktionen wird mehrere Daten in einem Schritt verarbeiten, ein Feature genannt Single Instruction, Multiple Data (SIMD). Intel Corp. fügte die ersten Streaming SIMD Extensions (SSE) Instruktionen zum x86 Befehlssatz im Jahre 1999 hinzu. Seitdem wurden im Laufe der Jahre mehrere Versionen dieser Technologie von Intel veröffentlicht. Das Unternehmen stellte die aktuelle [Programmierreferenz für SSE4](#) im April diesen Jahres zur Verfügung.

AMD folgte typischerweise Intel's Pionierarbeit mit der Integrierung der Unterstützung für diese Erweiterungen in seinen Prozessoren. Mit SSE5 hofft AMD den Entwicklern und Softwarekunden einen zusätzlichen Grund zu geben sich für seine Prozessoren statt denen von Intel zu entscheiden.

SSE5 definiert 47 neue grundlegende Instruktionen um die Ausführung eines Single-Thread Prozesses zu beschleunigen. Ein Typ, genannt *Multiply-Add-Accumulate*, wird es Entwicklern ermöglichen Resultate vieler Iterationen die aus ähnlichen Operationen resultieren ohne irgendwelche Zwischenschritte zu summieren. Das wird die Geschwindigkeit der Berechnungen beim Rendern von Grafiken oder der Erstellung von 3D Audioeffekten drastisch erhöhen.

Eine weitere Instruktion erlaubt es Entwicklern den Inhalt von zwei Registern zu multiplizieren

## AMD gibt einen Ausblick auf schnellere x86 Instruktionen für Multimedia

Geschrieben von:

Freitag, den 14. September 2007 um 22:24 Uhr

---

und das Ergebnis in einem dritten Register zu speichern. Die so genannte 3-Operanden Instruktion bewahrt Entwickler davor Daten zwischen den Registern hin und her schieben zu müssen.

Wenn Softwarekäufer von der zusätzlichen Performance dieser Instruktionen profitieren wollen, werden sie in der Regel auf Werkzeuge und Compiler angewiesen sein, die den Code dementsprechend optimieren. Mit der Veröffentlichung der Spezifikationen, gibt AMD die notwendigen Informationen preis, damit Compilerbauer ihre Produkte anpassen können bevor die ersten Bulldozer Chips 2009 auf den Markt gelangen.